

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-328224

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

H 0 4 N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

E

審査請求 未請求 請求項の数6(全 6 頁)

(21)出願番号 特願平4-158523

(22)出願日 平成4年(1992)5月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 浜崎 正治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

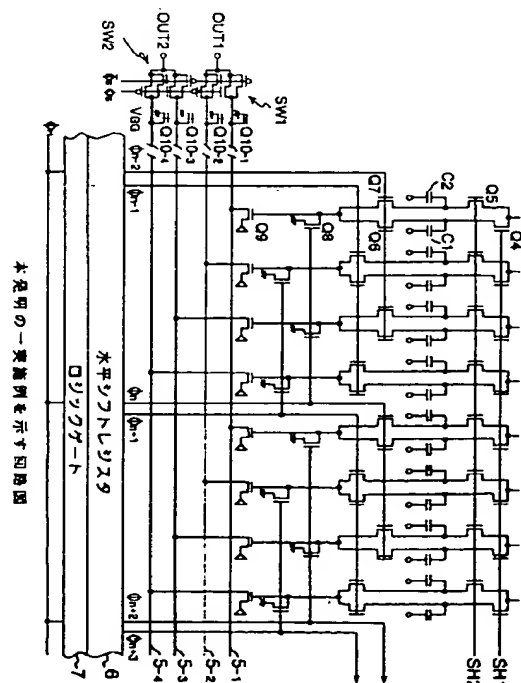
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 増幅型固体撮像装置

(57)【要約】

【目的】 1本の水平信号線に接続する出力トランジスタ数を減らした上で出力ピン数を削減できるとともに、出力トランジスタの動作速度が遅くても見掛け上高速にて出力を導出できる出力部を備えた増幅型固体撮像装置を提供する。

【構成】 1水平ラインの各画素のうち4個の画素を1ブロックとしてブロック単位で各画素の信号を4本の水平信号線5-1〜5-4に読み出すとともに、第1、第3の水平信号線5-1、5-3と第2、第4の水平信号線5-2、5-4への信号の読出しは位相をずらして行う一方、切換えスイッチSW1、SW2によって第1、第2の水平信号線5-1、5-2に読み出された各信号を時分割的に出力信号OUT1として、第3、第4の水平信号線5-3、5-4に読み出された各信号を時分割的に出力信号OUT2として導出し、4線読出し2出力を実現する。



【特許請求の範囲】

【請求項 1】 複数の画素が水平及び垂直方向にマトリクス状に 2 次元配列されたイメージセンサ部と、前記イメージセンサ部の各水平ラインの 1 つを順次選択しつつその選択した水平ラインの各画素から信号を読み出す垂直走査回路と、

前記垂直走査回路によって選択された 1 水平ラインの各画素のうち n 個の画素を 1 ブロックとしてブロック単位で各画素の信号を n 本の水平信号線に読み出す水平走査回路と、

前記 n 本の水平信号線に読み出された各信号を所定の 2 信号ずつ組み合わせて出力する出力回路とを備えたことを特徴とする増幅型固体撮像装置。

【請求項 2】 $n = 4$ であり、前記出力回路は、4 本の水平信号線に読み出された各信号を所定の 2 信号ずつ組み合わせて 2 つの出力信号として導出することを特徴とする請求項 1 記載の増幅型固体撮像装置。

【請求項 3】 前記水平走査回路は、4 本の水平信号線のうち、第 1、第 3 の水平信号線に読み出す各信号と第 2、第 4 の水平信号線に読み出す各信号とを位相をずらして読み出し、前記出力回路は、第 1、第 2 の水平信号線に読み出された各信号を組み合わせて第 1 の出力信号を導出し、第 3、第 4 の水平信号線に読み出された各信号を組み合わせて第 2 の出力信号を導出することを特徴とする請求項 2 記載の増幅型固体撮像装置。

【請求項 4】 前記出力回路は、第 1、第 2 の水平信号線を切り換えるスイッチ手段を備え、このスイッチ手段による切換えによって各水平信号線に読み出された信号を時分割的に前記第 1 の出力信号として導出することを特徴とする請求項 3 記載の増幅型固体撮像装置。

【請求項 5】 前記出力回路は、第 3、第 4 の水平信号線を切り換えるスイッチ手段を備え、このスイッチ手段による切換えによって各水平信号線に読み出された信号を時分割的に前記第 2 の出力信号として導出することを特徴とする請求項 3 記載の増幅型固体撮像装置。

【請求項 6】 $n = 8$ であり、前記出力回路は、8 本の水平信号線に読み出された各信号を所定の 2 信号ずつ順に組み合わせて 4 つ、2 つ又は 1 つの出力信号として導出することを特徴とする請求項 1 記載の増幅型固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、増幅型固体撮像装置に関し、特に増幅型固体撮像装置の出力部の構成に関する。

【0002】

【従来の技術】 固体撮像装置には、イメージセンサ部の各画素に蓄積された電荷をそのまま CCD (Charge Coupled Device) によって水平及び垂直方向に転送し、最終的に電気信号に変換して画像信号として出力する CCD

型固体撮像装置の他に、各画素に蓄積された電荷を電気信号として画素内で増幅してから垂直信号線、さらに水平信号線に読み出して画像信号として出力する MOS 型固体撮像装置に代表される増幅型固体撮像装置がある。

【0003】 この増幅型固体撮像装置の構成の一例を図 3 に示す。図 3 において、例えばフォトセンサと MOS トランジスタの組合せによって形成される複数の画素 1 (図面上、○印のシンボルとして示し、具体的な構成は省略する) が水平及び垂直方向にマトリクス状に 2 次元配置されてイメージセンサ部 2 を構成している。水平走査回路である垂直シフトレジスタ 3 は、水平方向の画素列からなる各水平ラインの 1 つを順次選択しつつその選択した水平ラインの各画素から信号を垂直信号線 4 に読み出すための垂直走査回路であり、選択する水平ラインのビットのみを「1」とし、他のビットを全て「0」とする。そして、1 H (H: 水平走査期間) 毎に「1」となるビットを垂直方向にシフトする。

【0004】 垂直信号線 4 の出力点であるノード N1 と電源 V_{DD} 間には、ゲート用 MOS トランジスタ Q1 が接続され、またノード N1 と接地間には、負荷用 MOS トランジスタ Q2 が接続されている。ゲート用 MOS トランジスタ Q1 は、信号 ϕ_s をゲート入力とし、この信号 ϕ_s が印加されたとき信号の伝送を許容する。負荷用 MOS トランジスタ Q2 は、バイアス用電圧 V_{GG} をゲート入力としている。垂直信号線 4 に出力されかつゲート用 MOS トランジスタ Q1 によって伝送が許容された各画素の信号はノイズ除去用コンデンサ C_c に蓄えられる。

【0005】 このノイズ除去用コンデンサ C_c の出力端であるノード N2 には、クランプ用 MOS トランジスタ Q3 が接続されており、このクランプ用 MOS トランジスタ Q3 はそのゲート電極にクランプパルス ϕ_{clp} が印加されることにより、オン状態となってノード N2 を所定のクランプ電圧 V_{clp} にクランプする。このノイズ除去用コンデンサ C_c 及びクランプ用 MOS トランジスタ Q3 によって、各画素の信号に含まれるリセット雑音等の雑音を抑圧するための相関二重サンプリング (CDS) 回路が構成されている。

【0006】 この増幅型固体撮像装置における出力部の従来例の構成を図 5 に示す。図 5 において、ノイズ除去用コンデンサ C_c の出力は、図示せぬバッファアンプを経た後、スイッチング用 MOS トランジスタ Q4、Q5 によってサンプル/ホールド用コンデンサ C1、C2 に択一的に供給され、これらコンデンサ C1、C2 によってサンプル/ホールドされる。スイッチング用 MOS トランジスタ Q4、Q5 の制御は、水平ブランキング期間において発生されるサンプル/ホールド信号 SH1、SH2 によって 1 ライン毎に行われる。これにより、例えば、偶数ラインの各画素の信号がコンデンサ C1 に、奇数ラインの各画素の信号がコンデンサ C2 にそれぞれホールドされることになる。

【0007】ここで、本従来例では、1水平ラインの各画素のうち4個の画素を1ブロックとしてブロック単位で各画素の信号を4本の水平信号線5-1～5-4に読み出す、いわゆる4線読出し4出力の構成を採っている。これにより、4画素分のサンプル/ホールド用コンデンサC1、C2のホールド出力は、水平ゲート用MOSトランジスタQ6、Q7によるスイッチングによってソースフォロウの出力トランジスタQ9を介して水平信号線5-1～5-4に出力される。

【0008】水平ゲート用MOSトランジスタQ6、Q7のスイッチング制御は、水平走査回路である水平シフトレジスタ6から出力される水平走査クロック ϕ_{n-1} によって行われる。水平シフトレジスタ6には、ロジックゲート7を介して水平クロック ϕ_H が供給されている。また、サンプル/ホールド用コンデンサC1、C2は、水平シフトレジスタ6から出力される水平走査クロック ϕ_n をゲート入力とするリセット用MOSトランジスタQ8によってリセットされる。4本の水平信号線5-1～5-4の各々と接地間には負荷用MOSトランジスタQ10-1～Q10-4がそれぞれ接続されており、これら負荷用MOSトランジスタQ10-1～Q10-4のベース電極にはバイアス用電圧 V_{GG} が印加されている。

【0009】

【発明が解決しようとする課題】しかしながら、このように構成された4線読出し4出力の従来の出力部には、出力トランジスタQ9の動作速度が1線読出し1出力の場合に比して1/4で済むという特長があるものの、4出力に対応して出力ピンが4個必要であり、出力ピン数が増大するという欠点があった。

【0010】一方、出力ピンを例えば2ピンに削減するには、2線読出し2出力の構成を採れば良い訳であるが、2線読出し2出力の場合には、出力トランジスタQ9の動作速度を4線読出し4出力に対して2倍にする必要があるとともに、各出力トランジスタQ9は1周期の時間 Δt の間に安定した出力を導出できなければならないことになる。2線読出し2出力の場合のタイムチャートを図4に示す。

【0011】ところで、水平信号線の容量を C_{Al} 、各出力トランジスタQ9のソース・ゲート間容量を C_{sg} 、ソース結合容量を C_j とし、1本の水平信号線に接続されているトランジスタ数を N とすると、出力線1本当りの負荷容量 C_H は、

$$【数1】 C_H = C_{Al} + N (C_{sg} + C_j)$$

となり、出力トランジスタQ9の相互コンダクタンス g_m に対し時定数 τ は、

【数2】

$$\tau = C_H / g_m \\ = C_{Al} / g_m + N \{ (C_{sg} / g_m) + (C_j / g_m) \}$$

となる。この式において、第2項はトランジスタのチャネル幅 W をいくら大きくしても小さくならない。したが

って、多線読出しにすることによって、1本の水平信号線に接続する出力トランジスタQ9の数 N を減らすことも必要である。

【0012】本発明は、上述した点に鑑みてなされたものであり、1本の水平信号線に接続する出力トランジスタ数を減らした上で出力ピン数を削減できるとともに、出力トランジスタの動作速度が遅くとも見掛け上高速にて出力を導出できる出力部を備えた増幅型固体撮像装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明による増幅型固体撮像装置は、複数の画素が水平及び垂直方向にマトリクス状に2次元配列されたイメージセンサ部と、このイメージセンサ部の各水平ラインの1つを順次選択しつつその選択した水平ラインの各画素から信号を読み出す垂直走査回路と、この垂直走査回路によって選択された1水平ラインの各画素のうち n 個の画素を1ブロックとしてブロック単位で各画素の信号を n 本の水平信号線に読み出す水平走査回路と、 n 本の水平信号線に読み出された各信号を所定の2信号ずつ組み合わせて出力する出力回路とを備えた構成となっている。

【0014】

【作用】1水平ラインの各画素のうち、例えば4個の画素を1ブロックとしてブロック単位で各画素の信号を4本の水平信号線に読み出し、この読み出された各信号を所定の2信号ずつ組み合わせて2出力として導出することで、4線読出し2出力を実現する。

【0015】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図1は、本発明の一実施例を示す回路図であり、例えば、1水平ラインの各画素のうち4個の画素を1ブロックとしてブロック単位で各画素の信号を4本の水平信号線5-1～5-4に読み出す4線読出しに適用した場合を示す。図1において、水平シフトレジスタ6は、ブロック単位で各画素の信号を4本の水平信号線5-1～5-4に読み出す際に、第1、第3の水平信号線5-1、5-3への信号の読出しは水平走査クロック ϕ_n (ϕ_{n-2} 、 ϕ_{n+2})によって、第2、第4の水平信号線5-2、5-4への信号の読出しは水平走査クロック ϕ_{n+1} (ϕ_{n-1} 、 ϕ_{n+3})によってそれぞれ行う。すなわち、第1、第3の水平信号線5-1、5-3と第2、第4の水平信号線5-2、5-4への信号の読出しは位相をずらして行われることになる。

【0016】負荷用MOSトランジスタQ10-1～Q10-4の後段において、第1、第2の水平信号線5-1、5-2の両端間には両信号線上の各信号を選択的に出力する一対のC-MOSからなる切換えスイッチSW1が設けられ、同様に、第3、第4の水平信号線5-3、5-4の両端間には一対のC-MOSからなる切換えスイッチSW2が設けられている。切換えスイッチSW1は、第1、

第2の水平信号線5-1、5-2を対として両信号線に読み出された各信号を時分割的に出力信号OUT1として導出し、また切換えスイッチSW2は、第3、第4の水平信号線5-3、5-4を対として両信号線に読み出された各信号を時分割的に出力信号OUT2として導出する。

【0017】次に、上記構成の4線読出し2出力の動作につき、図2のタイムチャートを参照しつつ説明する。なお、水平シフトレジスタ6の水平クロック ϕ_H としては、2線読出し2出力の場合（図4参照）と同じ周期のクロックが用いられる。今、水平シフトレジスタ6に高レベルのデータを2個入力すると、各水平走査クロック ϕ_n が2クロック（ ϕ_H ）期間だけ高レベルとなる。そして、第1、第3の水平信号線5-1、5-3への信号の読出しは水平走査クロック ϕ_n （ ϕ_{n-2} 、 ϕ_{n+2} ）によって、第2、第4の水平信号線5-2、5-4への信号の読出しは水平走査クロック ϕ_{n+1} （ ϕ_{n-1} 、 ϕ_{n+3} ）によって行われる。

【0018】また、切換えスイッチSW1、SW2が、クロック ϕ_s およびその反転クロックによって切換え制御を行うことにより、第1、第2の水平信号線5-1、5-2に読み出された各信号が時分割的に出力信号OUT1として、第3、第4の水平信号線5-3、5-4に読み出された各信号が時分割的に出力信号OUT2としてそれぞれ導出される。この切換えスイッチSW1、SW2による切換え制御の際、図2のOUT1、OUT2の各波形から明らかなように、クロック ϕ_s およびその反転クロックによって各々の信号の安定した方を出力するようにすると、出力トランジスタQ9の動作速度をカバーできることになる。

【0019】上述したように、1水平ラインの各画素のうち、例えば4個の画素を1ブロックとしてブロック単位で各画素の信号を4本の水平信号線5-1～5-4に読み出すとともに、第1、第3の水平信号線5-1、5-3と第2、第4の水平信号線5-2、5-4への信号の読出しは位相をずらして行う一方、切換えスイッチSW1、SW2によって第1、第2の水平信号線5-1、5-2に読み出された各信号を時分割的に出力信号OUT1として、第3、第4の水平信号線5-3、5-4に読み出された各信号を時分割的に出力信号OUT2としてそれぞれ導出することにより、4線読出し2出力を実現できるので、出力ピン数を削減できるとともに、出力トランジスタQ9の動作速度が遅くても見掛け上高速にて出力信号OUT1、OUT2を導出できることになる。

【0020】なお、上記実施例では、4線読出し2出力とした場合について説明したが、2出力をさらに時分割的に導出することによって4線読出し1出力を実現することもできる。また、1水平ラインの各画素のうち、例えば8個の画素を1ブロックとしてブロック単位で各画素の信号を読み出すようにすることにより、8線読出しで4出力、2出力、1出力も可能となる。このように、多線読出しとすることにより、1本の水平信号線に接続する出力トランジスタQ9の数を減らすことができ、結果として、数2の式の第2項を小さくできることになる。

【0021】

【発明の効果】以上説明したように、本発明によれば、1水平ラインの各画素のうちn個の画素を1ブロックとしてブロック単位で各画素の信号をn本の水平信号線に読み出し、このn本の水平信号線に読み出された各信号を所定の2信号ずつ組み合わせて出力する構成としたことにより、水平信号線の本数よりも出力数を少なくできるので、1本の水平信号線に接続する出力トランジスタ数を減らした上で出力ピンを削減でき、しかも出力トランジスタの動作速度が遅くても見掛け上高速にて出力を導出できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】4線読出し2出力の場合のタイムチャートである。

【図3】増幅型固体撮像装置の一例の構成図である。

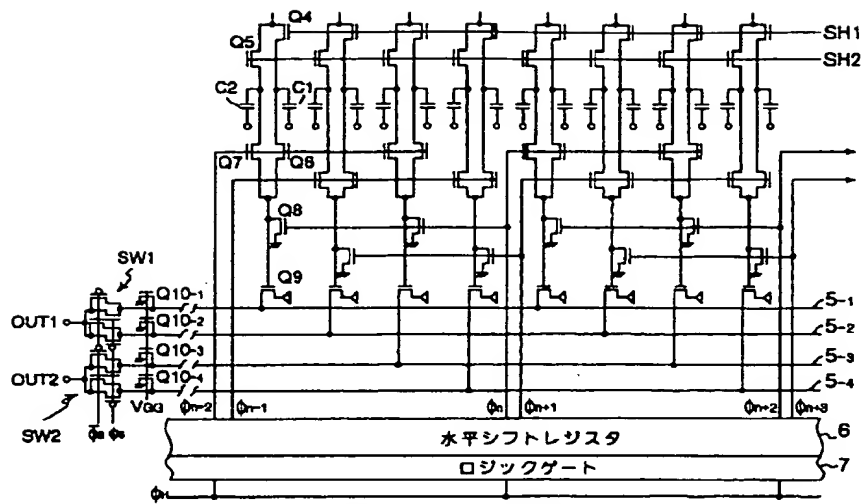
【図4】2線読出し2出力の場合のタイムチャートである。

【図5】4線読出し4出力の従来例を示す回路図である。

【符号の説明】

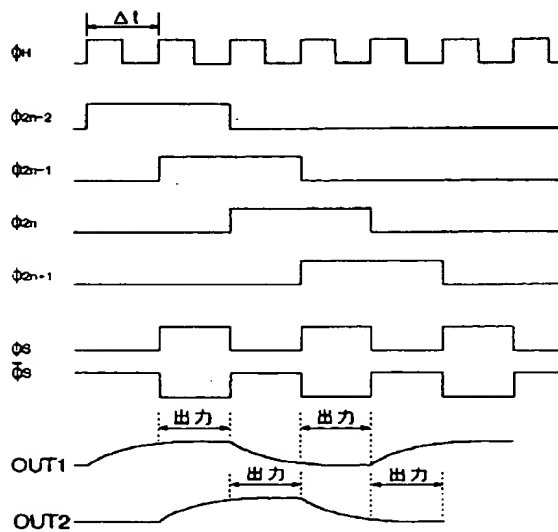
- 2 イメージセンサ部
- 3 垂直シフトレジスタ
- 5-1～5-4 水平信号線
- 6 水平シフトレジスタ
- SW1、SW2 切換えスイッチ
- Q4、Q5 スイッチング用MOSトランジスタ
- Q6、Q7 水平ゲート用MOSトランジスタ
- Q9 出力トランジスタ
- Q10-1～Q10-4 負荷トランジスタ
- C1、C2 サンプル／ホールド用コンデンサ

【図1】



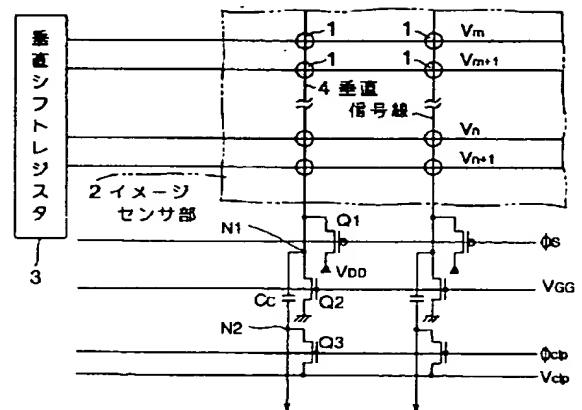
本発明の一実施例を示す回路図

【図2】



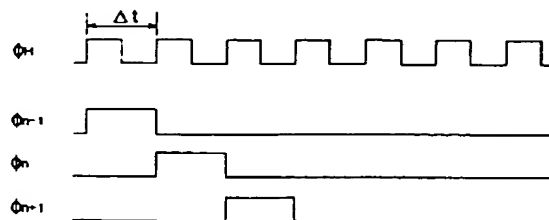
4線読出し2出力の場合のタイムチャート

【図3】



増幅型固体撮像装置の一例の構成図

【図4】



2線読出し2出力の場合のタイムチャート

従来例を示す回路図

